

⑨ 日本国特許庁(J.P.)

⑩ 特許出願公開

## ⑪ 公開特許公報(A) 平3-95938

⑫ Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月22日

H 01 L 21/338  
29/784

9056-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 5 (全9頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-233941

⑯ 出 願 平1(1989)9月7日

⑰ 発 明 者 近 藤 茂 樹 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑱ 発 明 者 西 田 彰 志 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
 ⑳ 代 理 人 弁理士 福 森 久 夫

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) ガラスなどの絶縁基体上に、結晶性半導体薄膜を形成してなる半導体装置の製造方法において、前記の結晶性半導体薄膜上に本素を含む絶縁膜を形成した膜厚と同程度か、それ以下の温度で前記の半導体薄膜を形成し、その後、前記本素を含む絶縁膜を形成した温度よりも高い温度で熱処理を行うことを特徴とする半導体装置の製造方法。

(2) 本素を含む絶縁膜として、プラズマCVD法で形成した酸化シリコン膜を用いることを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

(3) 熱処理の温度が300℃～500℃であることを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

(4) 前記の結晶性半導体薄膜材料が、シリコン

であることを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

(5) 前記の熱処理の温度は、非晶質シリコンが多結晶化する温度であることを特徴とする特許請求の範囲第1項、第3項または第4項に記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は、絶縁基体上に形成した薄膜トランジスタの製造方法に関する。

## 【従来の技術】

従来、絶縁基板上の薄膜トランジスタ(以下、TFTと称す)は、第3図に示すように、ガラスなどの絶縁基板31上に、半導体薄膜32を形成し、そこに素子を作り込んで構成されていた。

また、近年、TFTの特性向上のため、半導体薄膜として、結晶性半導体薄膜を用いることがよくみられる。ここでいう結晶性半導体とは、通常使用されている単結晶ウエハに比べると、欠陥が多く存在している多結晶半導体や、内部に1個以

BEST AVAILABLE COPY

## 特開平3-95938(2)

上の結晶粒界をもつ多結晶半導体をいう。

## 【発明が解決しようとする課題】

しかし、上記の従来例では、結晶性半導体薄膜と基板との界面に、数多くの界面単位が存在し、この界面単位の影響で、たとえば、MOSFETを作成した場合、チャネル部でキャリアが単位にトラップされ、いわゆるバックチャネルを形成し、閾値電圧の変動や、 $on/off$ 比の低下など、素子特性の劣化をもたらしていた。

また、基板にガラスなどの安価な材料を用いると、基板材料中に含まれる $Na^+$ などのアルカリイオンが、プロセス中の熱処理によって移動し、基板との界面やシリコン薄膜中に可動イオンとして存在し、素子特性の劣化や、信頼性に問題を発生させていた。

これらの問題に対して、たとえば、素子形成後、素子の保護膜として、プラズマCVD法による窒化シリコン膜による水素パッシベーションを用いて、シリコン薄膜内の単位を減らし、移動度を高くすることが行われてきた。また、アルカリ

イオン相乗防止のために、高純度石英や無アルカリガラスなどを基板として用いる場合もある。

しかし、上記の方法によっても基板との界面の問題は解決されていない。また、高純度石英や無アルカリガラスなどの基板は、高価であり、大面積の基板に安価でTFTを形成するには問題があった。

## 【課題を解決するための手段】

本発明の製法は、ガラスなどの絶縁基体上に、結晶性半導体薄膜を形成してなる半導体装置の製造方法において、前記の結晶性半導体薄膜上に水素を含む絶縁膜を形成した温度と同程度か、それ以下の温度で前記の半導体薄膜を形成し、その後、前記水素を含む絶縁膜を形成した温度よりも高い温度で熱処理を行うことを特徴とする半導体装置の製造方法に存在する。

## 【作用】

水素を絶縁膜を熱処理することにより、水素が薄膜中に拡散し、結晶性半導体薄膜と基板との界面に存在する界面単位が水素によってトラップさ

れ、界面単位の数を減らし、TFTなどの半導体装置の電気特性を向上させる。

また、薄膜中に拡散した水素は、薄膜中の欠陥単位や、結晶粒界の界面単位にトラップされることにより、バリアハイトを低下させ、TFTなどの半導体装置の電気特性を向上させる。

さらに、水素を含んだ絶縁膜として、窒化シリコン膜を用いることにより、基板からの $Na^+$ などのアルカリイオンに対するブロッキングの効果が生じ、信頼性の向上が期待される。

そのうえ、半導体層全面あるいは水素の拡散に対してバリアとなる絶縁膜を形成することにより、薄膜中に拡散した水素の $out-diffusion$ を防止し、上述の効果をさらに安定して得ることが期待できる。

なお、水素の導入量としては数%～数十%が好ましい。

## 【実施態様】

第1図は、本発明を特徴づける半導体装置の断面図である。

本発明の第1の実施態様としては、まず、ガラスなどの絶縁基板11上に、水素を含む絶縁膜として、たとえば、プラズマCVD法で、基板温度200℃～300℃で窒化シリコン膜12を形成する。この窒化シリコン膜12中には、数%～数十%の水素が含まれている。

その後、窒化シリコン膜12を形成した温度と同程度かそれ以下の温度で多結晶シリコン薄膜13を形成する。多結晶シリコン薄膜としては、減圧CVD法、プラズマCVD法により形成された多結晶シリコンや、我々の提案しているプラズマCVD法において、成膜雰囲気中への $HCl$ などのハロゲン化水素ガスの添加効果によって得られた大粒径多結晶シリコンを用いることができる。プロセス温度の低温度化および電気特性上の観点から我々の提案している大粒径多結晶シリコン薄膜が本実施例に最も適当である。

次に、 $H_2$ 、 $Ar$ 、 $H_2$ 、あるいは、それらの混合ガス雰囲気下で、水素を含む絶縁膜、たとえば、窒化シリコン膜、を形成した温度より高い温

## 特開平3-95938 (2)

度(300℃〜800℃)で熱処理を行う。

この熱処理中に、窒化シリコン膜中に存在する水素が、多結晶シリコン薄膜中に拡散することにより、下地界面に存在する界面単位や、多結晶シリコン薄膜中の欠陥単位や、多結晶シリコンの粒界に存在する界面単位にトラップされ、下地界面でのバックチャネルの発生を抑制し、閥電圧の変動を抑制し、かつ、粒界のポテンシャルを小さくし、移動度を大きくする。

また、熱処理の温度は、水素の拡散が起こり始める300℃より高く、多結晶シリコンに拡散した水素が再び外へ拡散しない800℃よりも低い温度で行う。

また、基板と多結晶シリコン薄膜との間に窒化シリコン膜を形成することで、基板からの $\text{Na}^+$ などのアルカリイオンに対してブロッキングの効果を持たせ、信頼性が向上する。

本発明の第2の実施形態としては、まず、ガラスなどの絶縁基板11上に、水素を含む絶縁膜として、たとえば、プラズマCVD法で、基板温度

することがより高性能なTFTを作るうえで望ましい。

この熱処理中に、窒化シリコン膜中に存在する水素が、熱処理により非晶質シリコンが多結晶化した多結晶シリコン中に拡散することにより、下地界面に存在する界面単位や、非晶質シリコン、あるいは、多結晶シリコン薄膜中の欠陥単位や、多結晶シリコンの粒界に存在する界面単位にトラップされ、下地界面でのバックチャネルの発生を抑制し、閥電圧の変動を抑制し、かつ、粒界のポテンシャルを小さくし、移動度を大きくする。

また、熱処理の温度は、水素の拡散が起こり始める300℃より高く、多結晶シリコンに拡散した水素が再び外へ拡散しない800℃よりも低い温度で行う。

また、基板と多結晶シリコン薄膜との間に窒化シリコン膜を形成することで、基板からの $\text{Na}^+$ などのアルカリイオンに対してブロッキングの効果を持たせ、信頼性が向上する。

200℃〜300℃で窒化シリコン膜12を形成する。この窒化シリコン膜12中には、数%〜数十%と0%の水素が含まれている。

その後、窒化シリコン膜12を形成した温度と同程度かそれ以下の温度で非晶質シリコン薄膜13を形成する。非晶質シリコン薄膜としては、減圧CVD法、プラズマCVD法により形成された非晶質シリコンや、多結晶シリコン $\text{Si}^{1+}$ をイオン注入して非晶質化したものなどが用いられる。

次に、 $\text{N}_2$ 、 $\text{Ar}$ 、 $\text{H}_2$ 、あるいは、それらの混合ガス雰囲気下で、水素を含む絶縁膜12、たとえば、窒化シリコン膜、を形成した温度より高い温度(300℃〜800℃)で熱処理を行う。

この熱処理の温度については、形成した非晶質シリコンが、固相結晶成長し、多結晶化する温度に設定することが、より高性能なTFTを作るうえで望ましい。したがって、上記の熱処理の温度は、より望ましくは、500℃〜800℃に設定

## 【実施例】

以下、本発明の実施例を図面によって詳細に説明する。

第2図は、本発明を用いて作成したMOSFETの断面図である。

## 【第1の実施例】

ガラス基板上21に、プラズマCVD法で、 $\text{SiH}_4/\text{NH}_3$ 混合ガス系により、窒化シリコン膜22を1000Å堆積した。堆積条件としては、平行平板型プラズマCVD装置を用い、 $\text{SiH}_4$  (10% $\text{H}_2$ 希釈)流量15sccm、 $\text{NH}_3$ 流量10sccm、圧力0.10Torr、放電パワー3.5W、基板温度300℃の条件で、15分間堆積を行った。この条件で堆積した窒化シリコン膜中には、1R(赤外分光)分析の結果、約10atm%の水素が含まれていることが分かった。

次に、RFプラズマCVD法により、 $\text{SiH}_4/\text{CH}_4/\text{H}_2$ 混合ガス系にて、窒化シリコン膜22上に、多結晶シリコン薄膜23を

## 特開平3-95938(4)

1000Å堆積した。堆積条件としては、 $\text{SiH}_4$  2.0 sccm、 $\text{HCl}$  130 sccm、 $\text{H}_2$  200 sccm、圧力2.0 Torr、RF power 60W、基板温度230℃で行った。この条件では、酸化シリコン膜22上には、較積が約1.0μmの多結晶シリコン薄膜が堆積した。

次に、スパッタ法により、ゲート絶縁膜として $\text{SiO}_2$ 膜24を500Å堆積させた後、ゲート電極25を形成した。

次に、イオン注入法により、 $\text{P}^+$ を注入し、ソース・ドレイン領域28を形成した。

次に、保護膜として、プラズマCVD法により、酸化シリコン膜27を5000Å堆積した。

次に、 $\text{N}_2$ 雰囲気、550℃で、熱処理を行った。

次に、所望の領域にコンタクトを開孔し、Aと電極28を形成した。

本実施例において、ガラス基板上に直接多結晶

シリコン薄膜を形成した基板に形成したMOSFETと、本実施例により作成したMOSFETの電気特性の測定と比較により、電子移動度は1.5倍、閾値電圧の変動幅は1/2以下に縮小された。

また、本実施例においては、熱処理温度として550℃を用いたが、300℃としても、ほぼ同様の効果があった。

また、本実施例において、全く熱処理を加えなかった場合については、電子移動度、閾値電圧の変動ともに、ほとんど効果は認められなかった。

このことは、熱処理によって、酸化シリコン膜22から多結晶シリコン膜23内に水素が拡散し、下地界面および多結晶シリコン膜23中の結晶粒界に存在する界面単位にトラップされ、単位の数減少し、下地界面でのバックチャネルの発生が抑制され、かつ、粒界のポテンシャルバリアが低下したためと考えられる。このことは、ESR(電子スピン共鳴)測定の結果から、多結晶

シリコン薄膜中のダングリングボンドの密度が、熱処理によって、1桁以上低下していたことから明らかである。

また、信頼性試験においては、高湿高湿試験によっても、電気特性の変化はほとんどなく、信頼性も十分なものであった。これは、酸化シリコン膜22が、ガラス基板からのアルカリイオンの拡散に対して、ブロッッキングしているためと考えられる。

また、550℃の熱処理によって、水素が多結晶シリコン中に拡散すると同時に、ソース・ドレイン領域の酸化も行いうことができ、工程がより簡略化された。

## 【第2の実施例】

ガラス基板上21に、プラズマCVD法で、 $\text{SiH}_4$  /  $\text{NH}_3$  混合ガス系により、酸化シリコン膜22を1000Å堆積した。堆積条件としては、平行平板型プラズマCVD装置を用い、 $\text{SiH}_4$  (10%  $\text{H}_2$  希釈) 流量15 sccm、 $\text{NH}_3$  流量10 sccm、圧力0.15 Torr、放

電パワー3.5W、基板温度300℃の条件で、35分間堆積を行った。この条件で堆積した酸化シリコン膜中には、IR(赤外分光)分析の結果、約10atm%の水素が含まれていることが分かった。

次に、プラズマCVD法により、 $\text{SiH}_4$  /  $\text{H}_2$  混合ガス系にて、酸化シリコン膜22上に、非晶質シリコン薄膜23を1000Å堆積した。堆積条件としては、 $\text{SiH}_4$  流量2 sccm、 $\text{H}_2$  10 sccm、圧力0.12 Torr、放電パワー5W、30分間堆積させた。

次に、スパッタ法により、ゲート絶縁膜として $\text{SiO}_2$ 膜24を500Å堆積させた後、ゲート電極25を形成した。

次に、イオン注入法により、 $\text{P}^+$ を注入し、ソース・ドレイン領域28を形成した。

次に、保護膜として、プラズマCVD法により、酸化シリコン膜27を5000Å堆積した。

次に、 $\text{N}_2$ 雰囲気、600℃で、熱処理を行っ

## 特開平3-95938(5)

た。

次に、所望の領域にコンタクトを開孔し、Al電極28を形成した。

本実施例において、800℃の熱処理により、非晶質シリコン薄膜23は、固相結晶成長し、多結晶化していることが、断面TEM（透過電子顕微鏡）により確かめられた。

本実施例において、ガラス基板上に直接多結晶シリコン薄膜を形成した基板に形成したMOSFETと、本実施例により作成したMOSFETの電気特性の測定と比較により、電子移動度は1.2倍、閾値電圧の変動幅は2/3以下に小さくなった。

このことは、熱処理によって、酸化シリコン膜22から多結晶シリコン薄膜23内に水素が拡散し、下地界面および多結晶シリコン薄膜23中の結晶粒界に存在する界面単位にトラップされ、単位の数が増え、下地界面でのバックチャネルの発生が抑制され、かつ、粒界のポテンシャルバリアが低下したためと考えられる。このことは、E

NH<sub>3</sub>、流量10sccm、圧力0.16Torr、放電パワー3.5W、基板温度300℃の条件で、35分間堆積を行った。この条件で堆積した酸化シリコン膜中には、IR（赤外分光）分析の結果、約10atm%の水素が含まれていることが分かった。

次に、RFプラズマCVD法により、SiH<sub>2</sub>Cl<sub>2</sub>/HCl/H<sub>2</sub>混合ガス系にて、酸化シリコン膜22上に、多結晶シリコン薄膜23を1000Å堆積した。堆積条件としては、SiH<sub>2</sub>Cl<sub>2</sub>:0.8sccm、HCl:30sccm、H<sub>2</sub>:200sccm、圧力2.0Torr、RF power 60W、基板温度230℃で行った。この条件では、酸化シリコン膜22上には、粒径が約1.0μmの多結晶シリコン薄膜が堆積した。

次に、スパッタ法により、ゲート絶縁膜としてSiO<sub>2</sub>膜24を500Å堆積させた後、ゲート電極25を形成した。

次に、イオン注入法により、P<sup>+</sup>を注入し、

SR（電子スピン共鳴）測定の結果から、多結晶シリコン薄膜中のダングリングボンドの密度が、熱処理によって、1桁以上低下していたことから明らかである。

また、信頼性試験においては、高温高湿試験によっても、電気特性の変化はほとんどなく、信頼性も十分なものであった。

これは、酸化シリコン膜22が、ガラス基板からのアルカリイオンの拡散に対して、ブロッキングしているためと考えられる。

また、800℃の熱処理によって、水素が多結晶シリコン中に拡散すると同時に、ソース・ドレイン領域の活性化も行うことができ、工程がより簡略化できた。

## 【第3の実施例】

ガラス基板上21に、プラズマCVD法で、SiH<sub>4</sub>/NH<sub>3</sub>混合ガス系により、酸化シリコン膜22を1000Å堆積した。堆積条件としては、平行平板型プラズマCVD装置を用い、SiH<sub>4</sub>（10%N<sub>2</sub>希釈）流量15sccm、

ソース・ドレイン領域26を形成した。

次に、水素の拡散に対してバリアとなる絶縁膜として、プラズマCVD法により、酸化シリコン膜27を5000Å堆積した。

次に、N<sub>2</sub>雰囲気、550℃で、熱処理を行った。

次に、所望の領域にコンタクトを開孔し、Al電極28を形成した。

本実施例において、水素の拡散に対してバリアとなる酸化シリコン膜27の効果については、この酸化シリコン膜27の有無により、多結晶シリコン膜23中に存在する水素の密度が、1E20cm<sup>-3</sup>のオーダーから1E19cm<sup>-3</sup>のオーダー以下に低下していることから、この膜が、水素のout-diffusionに対してバリアとして作用していることが分かった。

また、ガラス基板上に直接多結晶シリコン薄膜を形成した基板に形成したMOSFETと、本実施例により作成したMOSFETの電気特性の測定と比較により、電子移動度は2倍以上、閾値電

圧の変動幅は $1/2$ 以下に抑えられた。

また、信頼性試験においては、高湿高圧試験によっても、電気特性の変化はほとんどなく、信頼性も十分なものであった。

これは、窒化シリコン膜23が、ガラス基板からのアルカリイオンの拡散に対して、ブロッキングしているためと考えられる。

また、550℃の熱処理によって、水素が多結晶シリコン中に拡散すると同時に、ソース・ドレイン領域の活性化も行うことができ、工程がより簡略化できた。

#### 【第4の実施例】

ガラス基板上21に、プラズマCVD法で、 $\text{SiH}_4/\text{NH}_3$ 混合ガス系により、窒化シリコン膜22を1000Å堆積した。堆積条件としては、平行平板型プラズマCVD装置を用い、 $\text{SiH}_4$  (10% $\text{H}_2$ 希釈) 流量15sccm、 $\text{NH}_3$  流量10sccm、圧力0.15Torr、放電パワー3.5W、基板温度300℃の条件で、35分間堆積を行った。この条件で堆積した窒化

電極28を形成した。

本実施例において、500℃の熱処理により、非晶質シリコン薄膜23は、図相結晶成長し、多結晶化していることが、断面TEM (透過電子顕微鏡) により確かめられた。

本実施例において、水素の拡散に対してバリアとなる窒化シリコン膜27の効果については、この窒化シリコン膜27の有無により、多結晶シリコン膜23中に存在する水素の密度が、 $1 \times 10^{20} \text{cm}^{-3}$ のオーダーから $1 \times 10^{19} \text{cm}^{-3}$ のオーダー以下に低下していることから、この膜が、水素のout-diffusionに対してバリアとして作用していることが分かった。

また、ガラス基板上に直接多結晶シリコン薄膜を形成した基板に形成したMOSFETと、本実施例により作成したMOSFETの電気特性の測定と比較により、電子移動度は1.5倍、閾値電圧の変動幅は $1/2$ 以下に抑えられた。

また、信頼性試験においては、高湿高圧試験によっても、電気特性の変化はほとんどなく、信頼

#### 特開平3-85938(8)

シリコン膜中には、1R (赤外分光) 分析の結果、約10%の水素が含まれていることが分かった。

次に、プラズマCVD法により、 $\text{SiH}_4/\text{H}_2$ 混合ガス系にて、窒化シリコン膜22上に、非晶質シリコン薄膜23を1000Å堆積した。堆積条件としては、 $\text{SiH}_4$  流量2sccm、 $\text{H}_2$  18sccm、圧力0.12Torr、放電パワー5W、30分間堆積させた。

次に、スパッタ法により、ゲート絶縁膜として $\text{SiO}_2$  膜24を500Å堆積させた後、ゲート電極25を形成した。

次に、イオン注入法により、 $\text{P}^+$  を注入し、ソース・ドレイン領域28を形成した。

次に、水素の拡散に対してバリアとなる絶縁膜として、プラズマCVD法により、窒化シリコン膜27を6000Å堆積した。

次に、 $\text{N}_2$  雰囲気、600℃で、熱処理を行った。

次に、所望の領域にコンタクトを開孔し、Al

性も十分なものであった。

これは、窒化シリコン膜23が、ガラス基板からのアルカリイオンの拡散に対して、ブロッキングしているためと考えられる。

また、550℃の熱処理によって、水素が多結晶シリコン中に拡散すると同時に、ソース・ドレイン領域の活性化も行うことができ、工程がより簡略化できた。

#### 【第5の実施例】

ガラス基板上21に、プラズマCVD法で、 $\text{SiH}_4/\text{NH}_3$ 混合ガス系により、窒化シリコン膜22を1000Å堆積した。堆積条件としては、平行平板型プラズマCVD装置を用い、 $\text{SiH}_4$  (10% $\text{H}_2$ 希釈) 流量15sccm、 $\text{NH}_3$  流量10sccm、圧力0.15Torr、放電パワー3.5W、基板温度300℃の条件で、35分間堆積を行った。この条件で堆積した窒化シリコン膜中には、1R (赤外分光) 分析の結果、約10atm%の水素が含まれていることが分かった。

## 特開平3-95938(7)

次に、RFプラズマCVD法により、 $\text{SiH}_4$ 、 $\text{CH}_4$ 、 $\text{H}_2$ 、 $\text{HCl}$ 、 $\text{H}_2\text{O}$ の混合ガス系にて、酸化シリコン膜22上に、多結晶シリコン薄膜23を1000Å堆積した。堆積条件としては、 $\text{SiH}_4$ 、 $\text{CH}_4$ 、 $\text{H}_2$ 、 $\text{HCl}$ 、 $\text{H}_2\text{O}$ の流量はそれぞれ130 sccm、200 sccm、200 sccm、圧力2.0 Torr、RF power 60W、基板温度230℃で行った。この条件では、酸化シリコン膜22上には、粒径が約1.0 μmの多結晶シリコン薄膜が堆積した。

次に、ゲート絶縁膜24として、まず、スパッタ法により $\text{SiO}_2$ 膜24を200Å、ついで、水素の拡散に対してバリアとなる絶縁膜としてプラズマCVD法により酸化シリコン膜300Åを堆積させた後、ゲート電極25を形成した。 $\text{SiO}_2$ 膜を先に堆積させたのは、よく知られたように、酸化シリコン膜だけでゲート絶縁膜を構成すると、膜中の分極により、MOSFETの電気特性が劣化するので、そうした劣化を防ぐためである。

特性の劣化は、ほとんど認められなかった。

また、本実施例では、バリア膜として、プラズマCVD法による酸化シリコン膜を用いたが、ソース・ドレイン領域の活性化も行うことができた。

## 【第8の実施例】

ガラス基板上21に、プラズマCVD法で、 $\text{SiH}_4$ 、 $\text{NH}_3$ の混合ガス系により、酸化シリコン膜22を1000Å堆積した。堆積条件としては、平行平板型プラズマCVD装置を用い、 $\text{SiH}_4$ 、(10%  $\text{NH}_3$  希釈)流量1500 sccm、 $\text{NH}_3$  流量100 sccm、圧力0.16 Torr、放電パワー3.5W、基板温度300℃の条件で、35分間堆積を行った。この条件で堆積した酸化シリコン膜中には、IR(赤外分光)分析の結果、約10 at.%の水素が含まれていることが分かった。

次に、RFプラズマCVD法により、 $\text{SiH}_4$ 、 $\text{CH}_4$ 、 $\text{H}_2$ 、 $\text{HCl}$ 、 $\text{H}_2\text{O}$ の混合ガス系にて、酸化シリコン膜22上に、多結晶シリコン薄膜

次に、イオン注入法により、 $\text{P}^+$ を注入し、ソース・ドレイン領域26を形成した。

次に、 $\text{N}_2$ 雰囲気、550℃で、熱処理を行った。

次に、保護膜として、プラズマCVD法により、酸化シリコン膜5000Å堆積した。

次に、所望の領域にコンタクトを開孔し、 $\text{Al}$ 電極28を形成した。

本実施例において、水素の拡散に対してバリアとなる絶縁膜として、酸化シリコン膜の膜厚を300Åとしても、多結晶シリコン薄膜中の水素の蓄積は、酸化シリコン膜厚を5000Åとした場合と全く変化なかった。

また、保護膜として、 $\text{SiO}_2$ 膜5000Åを用いた場合についても、水素の蓄積に変化はなかったことから、酸化シリコン膜300Åでも十分バリアとして作用していることが分かった。

また、ゲート絶縁膜として酸化シリコン膜と酸化シリコン膜の2層構造を用いたが、これについても、 $\text{SiO}_2$ 膜を用いた場合と比較して、電気

23を1000Å堆積した。堆積条件としては、 $\text{SiH}_4$ 、 $\text{CH}_4$ 、 $\text{H}_2$ 、 $\text{HCl}$ 、 $\text{H}_2\text{O}$ の流量はそれぞれ130 sccm、200 sccm、200 sccm、圧力2.0 Torr、RF power 60W、基板温度230℃で行った。この条件では、酸化シリコン膜22上には、粒径が約1.0 μmの多結晶シリコン薄膜が堆積した。

次に、ゲート絶縁膜24として、さらに、水素の拡散に対してバリアとなる絶縁膜としてプラズマCVD法により酸化シリコン膜500Åを堆積させた後、ゲート電極25を形成した。酸化シリコン膜は、よく知られているように、膜中の窒素と酸素との組成比をうまく選ぶことで、酸化シリコン膜と酸化シリコン膜との両方の性質を兼ね備えることが可能である。ここでは、 $\text{SiO}_2$ 、 $\text{NH}_3$ 、 $\text{N}_2$ の混合ガス系を用いて、堆積条件を最適化することにより、膜の組成比を $\text{Si}$ に対して $\text{N} \sim 3$ 、 $\text{O} \sim 2$ となるようにした。

次に、イオン注入法により、 $\text{P}^+$ を注入し、

## 特開平3-95938(B)

ソース・ドレイン領域26を形成した。

次に、N<sub>2</sub>雰囲気、550℃で、熱処理を行った。

次に、保護膜として、プラズマCVD法により、酸化シリコン膜5000Å堆積した。

次に、所望の領域にコンタクトを開孔し、Al電極28を形成した。

本実施例において、水素の拡散に対してバリアとなる絶縁膜として、酸化酸化シリコン種の膜層を用いても、多結晶シリコン薄膜中の水素の密度は、酸化シリコン膜を用いた場合と全く変化なかった。

また、ゲート絶縁膜として酸化酸化シリコン膜を用いたが、これについても、SiO<sub>2</sub>膜を用いた場合と比較して、電気特性の変化は、ほとんど認められなかった。

また、550℃の熱処理によって、水素が多結晶シリコン中に拡散すると同時に、ソース・ドレイン領域の活性化も行うことができ、工程がより簡略化できた。

下地界面の界面単位を減らす効果があった。その結果、バックチャネル効果を抑制することができ、閾値電圧の変動幅を抑えることができた。

また、熱処理による水素の拡散によって、シリコン薄膜内に存在する単位をも低減でき、キャリア移動度を増大させることができた。

また、水素を含む絶縁膜として、酸化シリコン膜を用いることによって、基板からのNa<sup>+</sup>などのアルカリイオンの侵入をブロッキングすることができた。

さらに、この効果は、シリコン薄膜上に水素の拡散に対してバリアとなる絶縁膜を形成することにより、さらに高めることができた。

この結果、安価なガラス基板上に、電気特性および信頼性に優れたTFTを形成することができた。

## 4. 図面の簡単な説明

第1図は、本発明の特徴を説明するための断面図。

第2図は、本発明を用いて形成したMOSFE

以上、本実施例において、結晶性半導体薄膜としては、本出願人が提案しているプラズマCVD法にて形成した大粒径多結晶シリコンおよびプラズマCVD法により形成した非晶質シリコンを熱処理にて結晶化した多結晶シリコンについてその効果を示したが、他の結晶性半導体薄膜、たとえば、減圧CVD法により形成された多結晶シリコンや、多結晶シリコンにSi<sup>+</sup>を注入して非晶質化した非晶質シリコンをアニールし、再結晶化したものや、本出願人が特願昭62-73829号、特願昭62-73830号で提案しているところの大粒径多結晶シリコンや、本出願人が特願昭63-107016号で提案しているところの非晶質基板上に形成した単結晶シリコンなどを用いても、同様の効果があったことはいうまでもない。

## 〔発明の効果〕

水素を含む絶縁膜をシリコン薄膜と基板との間に形成し、さらに、熱処理することにより、水素を薄膜中に拡散させることにより、シリコン薄膜

Tの断面図。

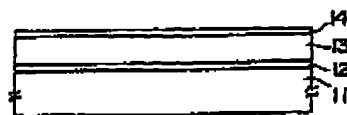
第3図は、従来の問題点を説明するための断面図。

- 11、21、31・・・基板
- 12、22、32・・・水素を含んだ絶縁膜
- 13、23、33・・・結晶性半導体薄膜

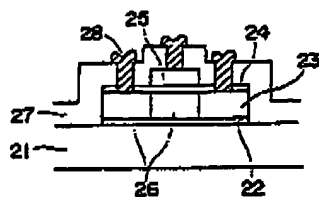


特開平3-95938(9)

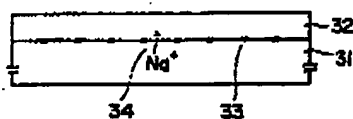
第 1 圖



第 2 圖



第 3 圖



**Family list**

**1** family member for:

**JP3095938**

Derived from 1 application.

**1 MANUFACTURE OF SEMICONDUCTOR DEVICE**

Publication Info: JP3095938 A - 1991-04-22

---

Data supplied from the *esp@cenet* database - Worldwide

**Japanese Laid-open Patent**

**Laid-open Number:** Hei 3-95938  
**Laid-open Date:** April 22, 1991  
**Application Number:** Hei 1-233941  
**Filing Date:** September 7, 1989  
**Applicant:** CANON INC.

**Specification****1. Title of the Invention**

**Manufacturing method for a semiconductor device**

**2. Scope of Claims**

(1) A manufacturing method for a semiconductor device having a crystalline semiconductor thin film formed on an insulating substrate made of glass or the like, characterized by comprising forming the crystalline semiconductor thin film at a temperature substantially equal to, or equal to or lower than a temperature at which a hydrogen-containing insulating film is formed on the semiconductor thin film and then performing heat treatment at a temperature higher than the temperature at which the hydrogen-containing insulating film is formed.

(2) The manufacturing method for a semiconductor device according to Claim 1, characterized in that a silicon nitride film formed by a plasma CVD method is used as the hydrogen-containing insulating film.

(3) The manufacturing method for a semiconductor device according to Claim 1, characterized in that the temperature for the heat treatment is 300°C to 600°C.

(4) The manufacturing method for a semiconductor device according to Claim 1, characterized in that a material for the crystalline semiconductor thin film comprises silicon.

(5) The manufacturing method for a semiconductor device according to Claim 1, 3, or 4, characterized in that the temperature for the heat treatment is a temperature at which an amorphous silicon is changed into a polycrystalline silicon.

### 3. Detailed Description of the Invention

#### [Field of the Industrial Application]

The present invention relates to a manufacturing method for a thin film transistor formed on an insulating substrate.

#### [Prior Art]

Up to now, as shown in Fig. 3, a thin film transistor (hereinafter, referred to as TFT) on an insulating substrate is structured such that a semiconductor thin film 32 is formed on an insulating substrate 31 made of glass etc. to form an element therein.

Also, in recent years, a crystalline semiconductor thin film has been often used as the semiconductor thin film for improving TFT characteristics. The term crystalline semiconductor specified herein means a single crystal semiconductor including more defects than in a generally used single crystal wafer or a polycrystalline semiconductor having one or more grain boundaries therein.

#### [Problem to be solved by the Invention]

In the above-mentioned prior art, however, a number of interface levels 33 exist at an interface between the crystalline semiconductor thin film and the substrate. Under the influence of the interface levels, carriers are trapped to the levels at a channel portion to thereby form a so-called back channel, for example, in the case of manufacturing a MOSFET. As a result, element characteristics are deteriorated, for example, a threshold voltage variation develops or an on/off ratio drops.

Further, when using an inexpensive material such as glass for the substrate,

alkali ions such as  $\text{Na}^+$  in the substrate material move through heat treatment in a manufacturing process and thus exist as movable ions at an interface with the substrate or in a silicon thin film, causing the deterioration in element characteristics or impairing a reliability.

As a measure, which has been taken to solve the above-mentioned problems, the levels existent in the silicon thin film are reduced to enhance a mobility by conducting hydrogen passivation on a silicon nitride film using a plasma CVD method as a protective film of the element, for example, after forming the element. Also, in order to avoid contamination due to the alkali ions, high-purity quartz or no-alkali glass may be used for the substrate.

With the above methods, however, the problem about the interface with the substrate has not yet been solved. In addition, the substrate made of the high-purity quartz, the no-alkali glass, or the like is expensive, which makes it difficult to manufacture the TFT on a large-area substrate at a low cost.

[Means for solving the Problem]

The gist of the present invention resides in a manufacturing method for a semiconductor device having a crystalline semiconductor thin film formed on an insulating substrate made of glass or the like, characterized by including forming the crystalline semiconductor thin film at a temperature substantially equal to, or equal to or lower than a temperature at which a hydrogen-containing insulating film is formed on the semiconductor thin film and then performing heat treatment at a temperature higher than the temperature at which the hydrogen-containing insulating film is formed.

[Operation]

The hydrogen-containing insulating film is subjected to heat treatment and hydrogen is thus diffused in the thin film to trap the interface levels existent at the interface between the crystalline semiconductor thin film and the substrate by the hydrogen, thereby reducing the number of interface levels. Thus, electric characteristics of a semiconductor device such as the TFT are improved.

Further, the hydrogen diffused in the thin film is trapped to defect levels in the thin film or interface levels of a grain boundary therein. As a result, a barrier height is lowered, improving the electric characteristics of the semiconductor device such as the TFT.

Further, as the hydrogen-containing insulating film, use of the silicon nitride film offers an effect of blocking the alkali ions such as  $\text{Na}^+$  from the substrate. It is thus expected to enhance the reliability.

Furthermore, by forming an insulating film serving as a barrier against the diffusion of the hydrogen or the entire semiconductor layer surface, it is possible to avoid out-diffusion of the hydrogen diffused in the thin film and to more stably obtain the above effect.

Note that, a dose of hydrogen is preferably several % to several tens of %.

(Embodiment Mode)

Fig. 1 is a sectional view showing a semiconductor device featuring the present invention.

According to a first embodiment mode of the present invention, a silicon nitride film 12 is first formed as a hydrogen-containing insulating film on an insulating substrate 11 made of glass etc., at a substrate temperature of 200°C to 300°C by a plasma CVD method, for instance. The silicon nitride film 12 contains hydrogen in

an amount of several % to several tens of atm%.

After that, a polycrystalline silicon thin film 13 is formed at a temperature substantially equal to, or equal to or lower than the temperature at which the silicon nitride film 12 is formed. For the polycrystalline silicon thin film, it is possible to use polycrystalline silicon formed by a low pressure CVD method or the plasma CVD method or polycrystalline silicon having a large grain size obtained by an effect of adding a halogenated hydrogen gas such as HCl in a deposition atmosphere in the plasma CVD method as proposed by the inventors of the present invention. In terms of lowering a process temperature and improving the electric characteristics, the polycrystalline silicon thin film having the large grain size proposed by the inventors of the present invention is optimum for this embodiment mode.

Next, in an atmosphere containing N<sub>2</sub>, Ar, H<sub>2</sub>, or a mixed gas thereof, the heat treatment is carried out at a temperature (300°C to 600°C) higher than the temperature at which the hydrogen-containing insulating film, e.g., the silicon nitride film is formed.

During the above heat treatment, the hydrogen existent in the silicon nitride film diffuses into the polycrystalline silicon thin film. Thus, the hydrogen is trapped to the interface levels existent at a base interface, defect levels in the polycrystalline silicon thin film, or the interface levels existent at the grain boundary of the polycrystalline silicon, to thereby suppress the occurrence of a back channel at the base interface, control a variation of a threshold voltage, and minimize a potential of the grain boundary and increase the mobility.

Further, the heat treatment is performed at a temperature higher than 300°C at which the hydrogen begins diffusing but lower than 600°C at which the hydrogen

diffused into the polycrystalline silicon may diffuse back to the outside of the polycrystalline silicon.

Also, forming the silicon nitride film between the substrate and the polycrystalline silicon thin film offers an effect of blocking the alkali ions such as  $\text{Na}^+$  from the substrate, increasing the reliability.

According to a second embodiment mode of the present invention, the silicon nitride film 12 is first formed as a hydrogen-containing insulating film on the insulating substrate 11 made of glass etc., at a substrate temperature of 200°C to 300°C by a plasma CVD method, for instance. The silicon nitride film 12 contains hydrogen in an amount of several % to several tens of atm%.

After that, an amorphous silicon thin film 23 is formed at a temperature substantially equal to, or equal to or lower than the temperature at which the silicon nitride film 12 is formed. For the amorphous silicon thin film, it is possible to use amorphous silicon formed by a low pressure CVD method or the plasma CVD method, or amorphous silicon formed by implanting  $\text{Si}^+$  ions into polycrystalline silicon.

Next, in an atmosphere containing  $\text{N}_2$ , Ar,  $\text{H}_2$ , or a mixed gas thereof, the heat treatment is carried out at a temperature (300°C to 600°C) higher than the temperature at which the hydrogen-containing insulating film 12, e.g., the silicon nitride film is formed.

It is desirable to set the heat treatment temperature as a temperature at which the formed amorphous silicon starts a solid phase crystal growth and changes into polycrystalline silicon in terms of manufacturing the TFT showing a higher performance. Accordingly, the above heat treatment temperature is more desirably set to 500°C to 600°C for manufacturing the TFT showing the higher performance.



During the heat treatment, the hydrogen existent in the silicon nitride film diffuses into the polycrystalline silicon obtained by crystallizing the amorphous silicon through the heat treatment. Thus, the hydrogen is trapped to the interface levels existent at the base interface, defect levels in the amorphous silicon or the polycrystalline silicon thin film, or the interface levels existent at the grain boundary of the polycrystalline silicon, to thereby suppress the occurrence of the back channel at the base interface, control a variation of the threshold voltage, and minimize the potential of the grain boundary and increase the mobility.

Further, the heat treatment is performed at a temperature higher than 300°C at which the hydrogen begins diffusing but lower than 600°C at which the hydrogen diffused into the polycrystalline silicon may diffuse back to the outside of the polycrystalline silicon.

Also, forming the silicon nitride film between the substrate and the polycrystalline silicon thin film offers an effect of blocking the alkali ions such as  $\text{Na}^+$  from the substrate, increasing the reliability.

#### [Examples]

Hereinafter, examples of the present invention will be described in detail with reference to the drawings.

Fig. 2 is a sectional view showing a MOSFET formed according to the present invention.

#### [Example 1]

On a glass substrate 21, a silicon nitride film 22 was deposited with a thickness of 1000 Å using an  $\text{SiH}_4/\text{NH}_3$  mixed gas system by a plasma CVD method. Deposition conditions were as follows: a parallel plate type plasma CVD apparatus

was used; a flow rate was set to 15 sccm for  $\text{SiH}_4$  (diluted with 10%  $\text{H}_2$ ) and to 10 sccm for  $\text{NH}_3$ ; a pressure was 0.16 Torr; a discharge power was 3.5 W; and the substrate temperature was  $300^\circ\text{C}$ . The deposition was carried out for 35 minutes. An IR (infrared spectroscopic) analysis revealed that the silicon nitride film deposited under the above conditions contained about 10 atm% of hydrogen.

Next, a polycrystalline silicon thin film 23 was deposited with a thickness of 1000 Å on the silicon nitride film 22 using an  $\text{SiH}_2\text{Cl}_2/\text{HCl}/\text{H}_2$  mixed gas system by an RF plasma CVD method. The deposition was carried out under the following conditions: the flow rate of 0.9 sccm for  $\text{SiH}_2\text{Cl}_2$ , 130 sccm for  $\text{HCl}$ , and 200 sccm for  $\text{H}_2$ ; a pressure of 2.0 Torr; an RF power of 60 W; and a substrate temperature of  $230^\circ\text{C}$ . Under the above conditions, the polycrystalline silicon thin film having a grain size of about 1.0  $\mu\text{m}$  was deposited on the silicon nitride film 22.

Subsequently, an  $\text{SiO}_2$  film 24 as a gate insulating film was deposited with a thickness of 500 Å by a sputtering method, followed by forming a gate electrode 25.

Then,  $\text{P}^+$  ions were implanted by an ion implantation method to form source/drain regions 26.

Subsequently, a silicon nitride film 27 as a protective film was deposited with a thickness of 5000 Å by the plasma CVD method.

Next, the heat treatment was conducted in an  $\text{N}_2$  atmosphere at  $550^\circ\text{C}$ .

Then, contact holes were formed in desired regions to form Al electrodes 28.

In this example, as apparent from comparison of measurements of the electric characteristics between a MOSFET formed on the glass substrate on which the polycrystalline silicon thin film was directly formed and the MOSFET formed according to this example, an electron mobility was increased 1.5-fold, and a variation

range of the threshold voltage was minimized to 1/2 or less.

Also, in this example, the heat treatment temperature was set as 550°C but almost the same effects could be achieved at 300°C.

Further, in this example, when the heat treatment was not performed at all, the effect was hardly exerted for both the electron mobility and the threshold voltage variation.

This is supposedly because the heat treatment allowed the hydrogen to diffuse from the silicon nitride film 22 into the polycrystalline silicon thin film 23. Then, the hydrogen was trapped to the interface levels existent at the base interface and the grain boundary in the polycrystalline silicon thin film 23 to reduce the number of levels, thereby suppressing the occurrence of the back channel at the base interface and in addition, lowering a potential barrier of the grain boundary. This is apparent from the result of an ESR (electron spin resonance) measurement which revealed that a dangling bond density in the polycrystalline silicon thin film was decreased by one or more digits through the heat treatment.

Also, in a reliability test, the electric characteristics were hardly changed even in a test under high-temperature and high-humidity environment. Thus, the sufficient reliability was achieved. This is supposedly because the silicon nitride film 22 blocks the diffusion of the alkali ions from the glass substrate.

Further, the heat treatment at 550°C allowed the hydrogen to diffuse into the polycrystalline silicon and simultaneously the source/drain regions to be activated, rather simplifying the steps.

#### [Example 2]

On the glass substrate 21, the silicon nitride film 22 was deposited with a

thickness of 1000 Å using an  $\text{SiH}_4/\text{NH}_3$  mixed gas system by a plasma CVD method. Deposition conditions were as follows: a parallel plate type plasma CVD apparatus was used; a flow rate was set to 15 sccm for  $\text{SiH}_4$  (diluted with 10%  $\text{H}_2$ ) and to 10 sccm for  $\text{NH}_3$ ; a pressure was 0.16 Torr; a discharge power was 3.5 W; and the substrate temperature was 300°C. The deposition was carried out for 35 minutes. An IR (infrared spectroscopic) analysis revealed that the silicon nitride film deposited under the above conditions contained about 10 atm% of hydrogen.

Next, the amorphous silicon thin film 23 was deposited with a thickness of 1000 Å on the silicon nitride film 22 using an  $\text{SiH}_4/\text{H}_2$  mixed gas system by the plasma CVD method. The deposition was carried out for 30 minutes under the following conditions: the flow rate of 2 sccm for  $\text{SiH}_4$  and 18 sccm for  $\text{H}_2$ ; a pressure of 0.12 Torr; and a discharge power of 5 W.

Subsequently, the  $\text{SiO}_2$  film 24 as a gate insulating film was deposited with a thickness of 500 Å by a sputtering method, followed by forming the gate electrode 25.

Next,  $\text{P}^+$  ions were implanted by an ion implantation method to form the source/drain regions 26.

Subsequently, the silicon nitride film 27 as a protective film was deposited with a thickness of 5000 Å by the plasma CVD method.

Next, the heat treatment was conducted in an  $\text{N}_2$  atmosphere at 600°C.

Following this, contact holes were formed in desired regions to form Al electrodes 28.

In this example, it is confirmed by an observation on a cross-sectional TEM (transmission electron microscope) photograph that the amorphous silicon thin film 23 was changed to the polycrystalline silicon film through the solid phase crystal growth

by performing the heat treatment at 600°C.

In this example, as apparent from comparison of measurements of electric characteristics between a MOSFET formed on the glass substrate on which the polycrystalline silicon thin film was directly formed and the MOSFET formed according to this example, an electron mobility was increased 1.2-fold, and a variation range of the threshold voltage was minimized to 2/3 or less.

This is supposedly because the heat treatment allowed the hydrogen to diffuse from the silicon nitride film 22 into the polycrystalline silicon thin film 23. Then, the hydrogen was trapped to the interface levels existent at the base interface and the grain boundary in the polycrystalline silicon thin film 23 to reduce the number of levels, thereby suppressing the occurrence of the back channel at the base interface and in addition, lowering a potential barrier of the grain boundary. This is apparent from the result of the ESR (electron spin resonance) measurement which revealed that a dangling bond density in the polycrystalline silicon thin film was decreased by one or more digits due to the heat treatment.

Also, in a reliability test, the electric characteristics were hardly changed even in a test under high-temperature and high-humidity environment. Thus, the sufficient reliability was achieved.

This is supposedly because the silicon nitride film 22 blocks the diffusion of the alkali ions from the glass substrate.

Further, the heat treatment at 600°C allowed the hydrogen to diffuse into the polycrystalline silicon and simultaneously the source/drain regions to be activated, rather simplifying the steps.

[Example 3]

On the glass substrate 21, the silicon nitride film 22 was deposited with a thickness of 1000 Å using an  $\text{SiH}_4/\text{NH}_3$  mixed gas system by a plasma CVD method. Deposition conditions were as follows: a parallel plate type plasma CVD apparatus was used; a flow rate was set to 15 sccm for  $\text{SiH}_4$  (diluted with 10%  $\text{H}_2$ ) and to 10 sccm for  $\text{NH}_3$ ; a pressure was 0.16 Torr; a discharge power was 3.5 W; and the substrate temperature was 300°C. The deposition was carried out for 35 minutes. An IR (infrared spectroscopic) analysis revealed that the silicon nitride film deposited under the above conditions contained about 10 atm% of hydrogen.

Next, the polycrystalline silicon thin film 23 was deposited with a thickness of 1000 Å on the silicon nitride film 22 using an  $\text{SiH}_2\text{Cl}_2/\text{HCl}/\text{H}_2$  mixed gas system by an RF plasma CVD method. The deposition was carried out under the following conditions: the flow rate of 0.9 sccm for  $\text{SiH}_2\text{Cl}_2$ , 130 sccm for  $\text{HCl}$ , and 200 sccm for  $\text{H}_2$ ; a pressure of 2.0 Torr; an RF power of 60 W; and a substrate temperature of 230°C. Under the above conditions, the polycrystalline silicon thin film having a grain size of about 1.0  $\mu\text{m}$  was deposited on the silicon nitride film 22.

Next, the  $\text{SiO}_2$  film 24 as a gate insulating film was deposited with a thickness of 500 Å by a sputtering method, followed by forming the gate electrode 25.

Then,  $\text{P}^+$  ions were implanted by an ion implantation method to form the source/drain regions 26.

Subsequently, the silicon nitride film 27 as an insulating film serving as a barrier against the diffusion of the hydrogen was deposited with a thickness of 5000 Å by the plasma CVD method.

Next, the heat treatment was conducted in an  $\text{N}_2$  atmosphere at 550°C.

Then, contact holes were formed in desired regions to form Al electrodes 28.

In this example, regarding an effect of the silicon nitride film 27 serving as a barrier against the diffusion of the hydrogen, a density of hydrogen existent in the polycrystalline silicon film 23 drops from the order of  $1\text{E}20\text{ cm}^{-3}$  to  $1\text{E}19\text{ cm}^{-3}$  or lower in the case of omitting the silicon nitride film 27 as compared to the case of forming the film. This revealed that the film functions as the barrier against out-diffusion of the hydrogen.

Also, as apparent from comparison of measurements of electric characteristics between a MOSFET formed on the glass substrate on which the polycrystalline silicon thin film was directly formed and the MOSFET formed according to this example, an electron mobility was increased 2-fold or more, and a variation range of the threshold voltage was minimized to 1/2 or less.

Also, in a reliability test, the electric characteristics were hardly changed even in a test under high-temperature and high-humidity environment. Thus, the sufficient reliability was achieved.

This is supposedly because the silicon nitride film 22 blocks the diffusion of the alkali ions from the glass substrate.

Further, the heat treatment at  $550^{\circ}\text{C}$  allowed the hydrogen to diffuse into the polycrystalline silicon and simultaneously the source/drain regions to be activated, rather simplifying the steps.

#### [Example 4]

On the glass substrate 21, the silicon nitride film 22 was deposited with a thickness of 1000 Å using an  $\text{SiH}_4/\text{NH}_3$  mixed gas system by a plasma CVD method. Deposition conditions were as follows: a parallel plate type plasma CVD apparatus was used; a flow rate was set to 15 sccm for  $\text{SiH}_4$  (diluted with 10%  $\text{H}_2$ ) and to 10

sccm for  $\text{NH}_3$ ; a pressure was 0.16 Torr; a discharge power was 3.5 W; and the substrate temperature was  $300^\circ\text{C}$ . The deposition was carried out for 35 minutes. An IR (infrared spectroscopic) analysis revealed that the silicon nitride film deposited under the above conditions contained about 10 % of hydrogen.

Next, the amorphous silicon thin film 23 was deposited with a thickness of 1000 Å on the silicon nitride film 22 using an  $\text{SiH}_4/\text{H}_2$  mixed gas system by the plasma CVD method. The deposition was carried out for 30 minutes under the following conditions: the flow rate of 2 sccm for  $\text{SiH}_4$  and 18 sccm for  $\text{H}_2$ ; a pressure of 0.12 Torr; and a discharge power of 5 W.

Then, the  $\text{SiO}_2$  film 24 as a gate insulating film was deposited with a thickness of 500 Å by a sputtering method, followed by forming the gate electrode 25.

Next,  $\text{P}^+$  ions were implanted by an ion implantation method to form the source/drain regions 26.

Subsequently, the silicon nitride film 27 as an insulating film serving as a barrier against the diffusion of the hydrogen was deposited with a thickness of 5000 Å by the plasma CVD method.

Next, the heat treatment was conducted in an  $\text{N}_2$  atmosphere at  $600^\circ\text{C}$ .

Following this, contact holes were formed in desired regions to form Al electrodes 28.

In this example, it is confirmed by an observation on a cross-sectional TEM (transmission electron microscope) photograph that the amorphous silicon thin film 23 was changed to the polycrystalline silicon film through the solid phase crystal growth by performing the heat treatment at  $600^\circ\text{C}$ .

In this example, regarding an effect of the silicon nitride film 27 serving as a



barrier against the diffusion of the hydrogen, a density of hydrogen existent in the polycrystalline silicon thin film 23 drops from the order of  $1\text{E}20\text{ cm}^{-3}$  to  $1\text{E}19\text{ cm}^{-3}$  or lower in the case of omitting the silicon nitride film 27 as compared to the case of forming the film. This revealed that the film functions as the barrier against out-diffusion of the hydrogen.

Also, as apparent from comparison of measurements of electric characteristics between a MOSFET formed on the glass substrate on which the polycrystalline silicon thin film was directly formed and the MOSFET formed according to this example, an electron mobility was increased 1.5-fold, and a variation range of the threshold voltage was minimized to 1/2 or less.

Also, in a reliability test, the electric characteristics were hardly changed even in a test under high-temperature and high-humidity environment. Thus, the sufficient reliability was achieved.

This is supposedly because the silicon nitride film 22 blocks the diffusion of the alkali ions from the glass substrate.

Further, the heat treatment at  $550^{\circ}\text{C}$  allowed the hydrogen to diffuse into the polycrystalline silicon and simultaneously the source/drain regions to be activated, rather simplifying the steps.

#### [Example 5]

On the glass substrate 21, the silicon nitride film 22 was deposited with a thickness of 1000 Å using an  $\text{SiH}_4/\text{NH}_3$  mixed gas system by a plasma CVD method. Deposition conditions were as follows: a parallel plate type plasma CVD apparatus was used; a flow rate was set to 15 sccm for  $\text{SiH}_4$  (diluted with 10%  $\text{H}_2$ ) and to 10 sccm for  $\text{NH}_3$ ; a pressure was 0.16 Torr; a discharge power was 3.5 W; and the

substrate temperature was 300°C. The deposition was carried out for 35 minutes. An IR (infrared spectroscopic) analysis revealed that the silicon nitride film deposited under the above conditions contained about 10 atm% of hydrogen.

Next, the polycrystalline silicon thin film 23 was deposited with a thickness of 1000 Å on the silicon nitride film 22 using an  $\text{SiH}_2\text{Cl}_2/\text{HCl}/\text{H}_2$  mixed gas system by an RF plasma CVD method. The deposition was carried out under the following conditions: the flow rate of 0.9 sccm for  $\text{SiH}_2\text{Cl}_2$ , 130 sccm for HCl, and 200 sccm for  $\text{H}_2$ ; a pressure of 2.0 Torr; an RF power of 60 W; and a substrate temperature of 230°C. Under the above conditions, the polycrystalline silicon thin film having a grain size of about 1.0  $\mu\text{m}$  was deposited on the silicon nitride film 22.

Subsequently, the  $\text{SiO}_2$  film 24 as the gate insulating film 24 was first deposited with a thickness of 200 Å by a sputtering method before the silicon nitride film as an insulating film serving as the barrier against the diffusion of the hydrogen was deposited with a thickness of 300 Å by the plasma CVD method, followed by forming the gate electrode 25. The  $\text{SiO}_2$  film was deposited first for the purpose of preventing the electric characteristics of the MOSFET from being deteriorated, which deterioration would be caused, as well known, in such a way that if only the silicon nitride film constituted the gate insulating film, polarization developed in the film.

Next,  $\text{P}^+$  ions were implanted by an ion implantation method to form the source/drain regions 26.

Then, the heat treatment was conducted in an  $\text{N}_2$  atmosphere at 550°C.

Subsequently, the silicon nitride film as a protective film was deposited with a thickness of 5000 Å by the plasma CVD method.

Next, contact holes were formed in desired regions to form Al electrodes 28.

In this example, if the film thickness of the silicon nitride film was set to 300 Å as the insulating film serving as a barrier against the diffusion of the hydrogen, the hydrogen density in the polycrystalline silicon thin film was the same as in the silicon nitride film with a thickness of 5000 Å.

Also in the case of using as a protective film the SiO<sub>2</sub> film with a thickness of 5000 Å, the hydrogen density was not changed. From the above, even the silicon nitride film with a thickness of 300 Å could sufficiently function as the barrier.

Also, a two-layer structure including a silicon nitride film and a silicon oxide film was used for the gate insulating film. In this respect as well, the electric characteristics were hardly changed as compared with the case of using the SiO<sub>2</sub> film.

Further, in this example, the silicon nitride film formed by the plasma CVD method was used for a barrier film, which also enables the activation of the source/drain regions.

#### [Example 6]

On the glass substrate 21, the silicon nitride film 22 was deposited with a thickness of 1000 Å using an SiH<sub>4</sub>/NH<sub>3</sub> mixed gas system by a plasma CVD method. Deposition conditions were as follows: a parallel plate type plasma CVD apparatus was used; a flow rate was set to 15 sccm for SiH<sub>4</sub> (diluted with 10% H<sub>2</sub>) and to 10 sccm for NH<sub>3</sub>; a pressure was 0.16 Torr; a discharge power was 3.5 W; and the substrate temperature was 300°C. The deposition was carried out for 35 minutes. An IR (infrared spectroscopic) analysis revealed that the silicon nitride film deposited under the above conditions contained about 10 atm% of hydrogen.

Next, the polycrystalline silicon thin film 23 was deposited with a thickness of 1000 Å on the silicon nitride film 22 using an SiH<sub>2</sub>Cl<sub>2</sub>/HCl/H<sub>2</sub> mixed gas system by an

RF plasma CVD method. The deposition was carried out under the following conditions: the flow rate of 0.9 sccm for  $\text{SiH}_2\text{Cl}_2$ , 130 sccm for  $\text{HCl}$ , and 200 sccm for  $\text{H}_2$ ; a pressure of 2.0 Torr; an RF power of 60 W; and a substrate temperature of  $230^\circ\text{C}$ . Under the above conditions, the polycrystalline silicon thin film having a grain size of about  $1.0\ \mu\text{m}$  was deposited on the silicon nitride film 22.

Next, as the gate insulating film 24, a silicon oxynitride film was further deposited with a thickness of 500 Å as an insulating film serving as a barrier against the diffusion of the hydrogen by the plasma CVD method, followed by forming the gate electrode 25. The silicon oxynitride film could have both properties of the silicon nitride film and the silicon oxide film, as well known, by appropriately selecting a composition ratio between nitrogen and oxygen in the film. Here, using an  $\text{SiOH}_4/\text{NH}_3/\text{N}_2\text{O}$  mixed gas system, the deposition condition was optimized; the film composition ratio of N to Si was set to 3.0 to 2.

Next,  $\text{P}^+$  ions were implanted by an ion implantation method to form the source/drain regions 26.

Next, the heat treatment was conducted in an  $\text{N}_2$  atmosphere at  $550^\circ\text{C}$ .

Subsequently, the silicon nitride film as the protective film was deposited with a thickness of 5000 Å by the plasma CVD method.

Next, contact holes were formed in desired regions to form Al electrodes 28.

In this example, if the thickness of the silicon oxynitride film was applied to an insulating film serving as a barrier against the diffusion of the hydrogen, the hydrogen density in the polycrystalline silicon thin film was the same as that for the case of using the silicon nitride film.

Also, the silicon oxynitride film was used as the gate insulating film.

However, also in this respect, the electric characteristics were hardly changed as compared with the case of using the  $\text{SiO}_2$  film.

Further, the heat treatment at  $550^\circ\text{C}$  allowed the hydrogen to diffuse into the polycrystalline silicon and simultaneously the source/drain regions to be activated, rather simplifying the steps.

Hereinabove, in this example, as the crystalline semiconductor thin film, description has been made of the polycrystalline silicon having the large grain size formed by the plasma CVD method as proposed by the applicants of the present invention and the polycrystalline silicon formed by crystallizing the amorphous silicon formed by the plasma CVD method together with their effects. However, needless to say, the same effects could be achieved as well with other crystalline semiconductor thin films, for example, polycrystalline silicon formed by a low pressure CVD method, silicon formed by implanting  $\text{Si}^+$  ions into the polycrystalline silicon, which was changed to the amorphous silicon, and recrystallizing the amorphous silicon through annealing, polycrystalline silicon having a large grain size as proposed by the applicants of the present invention in Japanese Patent Application Nos. 62-73629 and 62-73630, and single crystal silicon formed on an amorphous substrate as proposed by the applicants of the present invention in JP 63-107016 A.

#### [Effects of the Invention]

The hydrogen-containing insulating film is formed between the silicon thin film and the substrate and in addition, the heat treatment is performed to diffuse hydrogen into the thin film, whereby an effect of reducing the interface levels at the base interface of the silicon thin film is obtained. As a result, a back channel effect can be suppressed and the variation range of the threshold voltage can be narrowed.

Further, the heat treatment allows the hydrogen to diffuse, whereby the levels existent in the silicon thin film can be also reduced to increase a carrier mobility.

Also, as the hydrogen-containing insulating film, the silicon nitride film is used, whereby it is possible to block intrusion of the alkali ions such as  $\text{Na}^+$  from the substrate.

Further, the effect can be further enhanced by forming on the silicon thin film the insulating film serving as a barrier against the hydrogen diffusion.

Consequently, the TFT can be formed on the low-cost glass substrate, which excels in electric characteristics and reliability.

#### 4. Brief Description of the Drawings

Fig. 1 is a sectional view illustrative of a feature of the present invention.

Fig. 2 is a sectional view showing a MOSFET formed according to the present invention.

Fig. 3 is a sectional view illustrative of a problem inherent in the prior art.

11, 21, 31...substrate

12, 22, 32...hydrogen-containing insulating film

13, 23, 33...crystalline semiconductor thin film

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**